

## Simplifier la synchronisation système grâce aux générateurs d'horloges programmables à sorties multiples

Baljit Chandhoke, Responsable gamme de produits, Produits de synchronisation

Integrated Device Technology Inc., San Jose, Californie.

Les cartes système complexes d'aujourd'hui contiennent souvent des processeurs d'application spécifiques, des processeurs hautes-performances à usage général, voire plusieurs SoC (System on Chip, ou système sur une puce). Chacun de ces circuits hautes-performances peut avoir besoin de plusieurs fréquences d'horloge, puisqu'ils n'ont pas toujours été conçus pour travailler ensemble. En outre, chaque circuit de la carte peut avoir différentes contraintes en matière de stabilité d'horloge (gigue) et de cycle d'horloge (coefficient d'utilisation). Ainsi, l'un des défis majeurs avec ces cartes complexes est de concevoir un sous-système de synchronisation capable de fournir plusieurs signaux d'horloge à router vers les puces chargées de gérer la synchronisation des différents sous-systèmes (Figure 1). De telles cartes sont typiquement destinées à des applications telles que des décodeurs/enregistreurs TV, des téléviseurs numériques haut de gamme, des commutateurs ou des routeurs réseau, des serveurs de données, et bien d'autres applications.

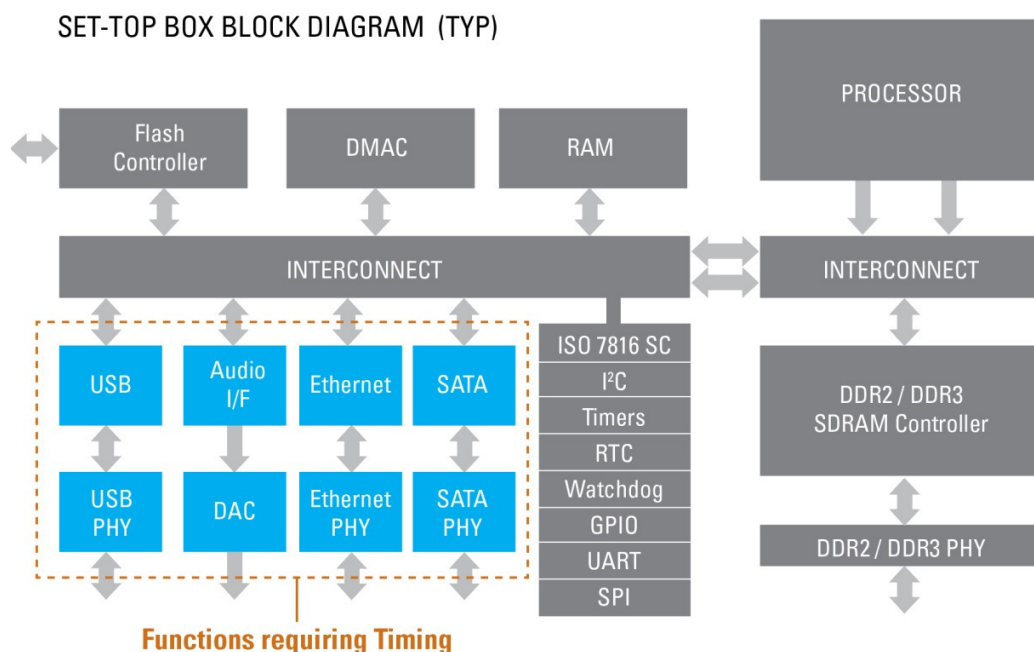


Figure 1. Ce schéma fonctionnel d'un décodeur TV typique montre les différentes fonctions, qui ont chacune leurs exigences au niveau fréquence d'horloge et stabilité nécessaire. Plusieurs oscillateurs d'horloge sont typiquement utilisés pour fournir les différents signaux de synchronisation.

Cependant, maintenir plusieurs horloges synchronisées pour qu'elles puissent offrir des marges de synchronisation maximum, nécessite une horloge source à très faible niveau de gigue, capable de générer plusieurs horloges de sortie. Le recours à plusieurs oscillateurs à quartz indépendants sur la carte ne constitue plus une solution fiable, puisque l'on ne peut pas les synchroniser facilement. En

outre, le coût de pas moins de cinq ou six quartz et oscillateurs CMOS à quartz pour chaque carte, peut pénaliser le coût de fabrication, tout en n'offrant aucune capacité d'étalement spectral pour supprimer les parasites électromagnétiques.

Par conséquent, une source d'horloge très intégrée avec plusieurs sorties verrouillées par PLL, constitue la meilleure solution, pour fournir les signaux d'horloge synchronisés aux divers sous-systèmes de la carte. Une telle solution réduit l'encombrement sur la carte et la complexité de conception, et permet aussi de réduire le coût du système. En outre, aujourd'hui les signaux d'horloge doivent pouvoir voyager sur des pistes assez longues de la carte, sans perdre leur intégrité. Les pistes longues sont sensibles au bruit de commutation, et peuvent détériorer le signal sous l'effet de charges capacitives, ou entraîner des délais en cas de longueur exceptionnelle.

Dans un système typique comme un décodeur TV, les différents blocs sous-système fonctionnent le plus souvent à une fréquence qui dépend de la fonction qu'ils doivent exécuter, comme indiqué dans le Tableau 1. Les interfaces de type PCI ou PCIe tournent à une certaine fréquence, ou à un multiple d'une certaine fréquence, qui dépend du débit de données nécessaire, même chose pour les interfaces USB, tandis qu'Ethernet nécessite plusieurs fréquences selon le débit. D'autres éléments comme un signal vidéo, un ASIC ou un processeur, ont aussi leurs propres contraintes .

**Tableau 1 : Fréquences d'horloge typiques pour les fonctions système d'un décodeur TV**

| Fonction d'horloge | Fréquence d'horloge        |
|--------------------|----------------------------|
| PCI                | 33 MHz                     |
| PCIe               | 66 MHz                     |
| USB                | 24, 48 MHz                 |
| Ethernet           | 25 MHz                     |
| Ethernet Gigabit   | 125 MHz                    |
| Horloge vidéo      | 27 MHz                     |
| ADSL, VDSL         | 36 MHz                     |
| Horloge d'ASIC     | Propriétaire, 25 à 120 MHz |

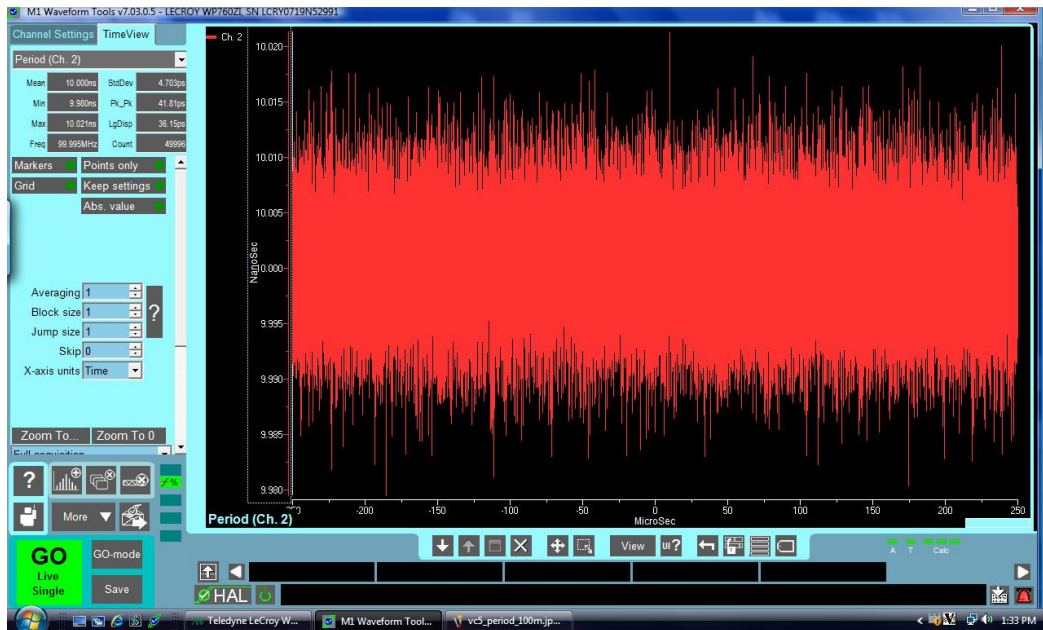
Quelle que soit l'application système, la gigue est une préoccupation commune des concepteurs, puisqu'elle peut avoir un impact négatif sur les marges de synchronisation de tous les signaux d'horloge présents sur le circuit imprimé. Et alors que les débits et les vitesses d'horloge système continuent d'augmenter, la gigue d'horloge est devenue critique pour la conception de système. Dans de nombreux cas, la limite de performances d'un système est déterminée par sa marge de synchronisation. Ainsi une bonne compréhension de la gigue d'horloge est devenue très importante pour la conception de système.

La gigue totale peut être séparée en gigue aléatoire et en gigue déterministe. La gigue d'horloge peut être mesurée dans le domaine temps et dans le domaine fréquence. La gigue de période, la gigue cycle-à-cycle, et la gigue TIE (Time Interval Error, ou erreur d'intervalle de temps) sont mesurées dans le domaine temps, alors que le bruit de phase et la gigue de phase sont mesurés dans le domaine fréquence. Les sources de gigue sont notamment le bruit thermique, le bruit d'alimentation, les interférence et les réflexions de signal.

#### **La gigue se manifeste sous plusieurs formes**

La gigue d'horloge se compose en fait de trois composantes différentes qui peuvent être toutes présentes dans un système. Pour montrer la gigue réelle, les traces d'oscilloscope de la Figure 2 ont été prises en utilisant l'IDT 5P49V5901, un circuit générateur d'horloge de la famille VersaClock 5 d'IDT. Regardons rapidement chaque type de gigue, et voyons comment chacun affecte les performances du système :

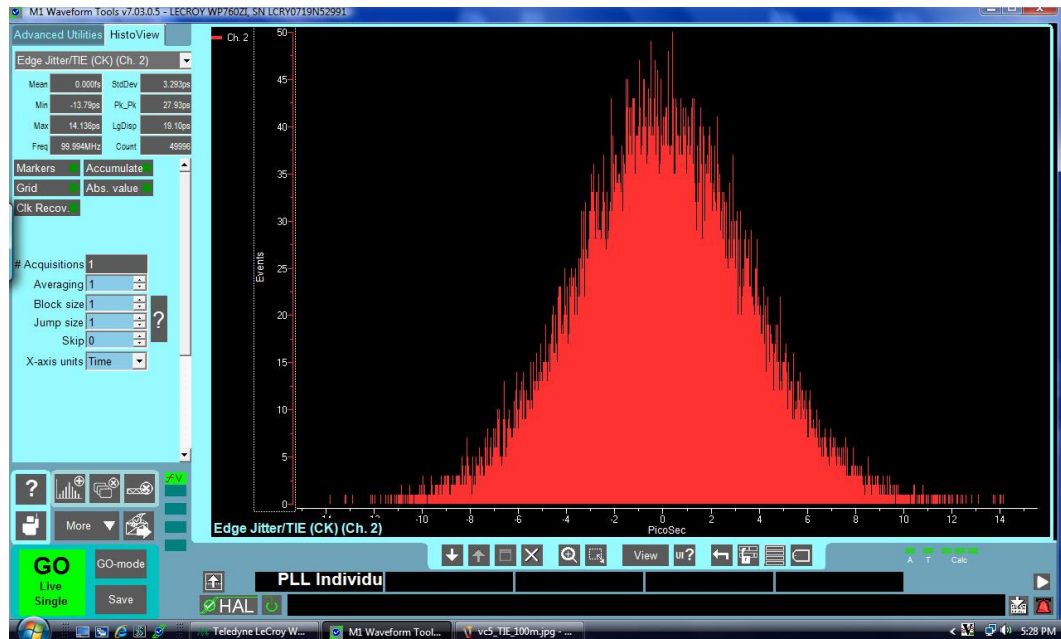
- **Gigue de période** - Cette forme de gigue mesure la déviation maximum de la période d'un cycle d'horloge sur un échantillon de 10.000 cycles d'horloge. (Figure 2a) la valeur efficace de la gigue de période mesure l'écart-type des mesures de période d'horloge sur un échantillon de 10.000 cycles d'horloge. La valeur crête-crête de gigue de période correspond à la différence entre les périodes d'horloge maximum et minimum sur un échantillon de 10.000 cycles d'horloge. La mesure de gigue de période sert à déterminer la gigue de fréquence basse, en mesurant les déviations de période d'horloge sur un échantillon de 10.000 cycles d'horloge. La gigue de période sert à calculer la marge de synchronisation du système. Dans la Figure 2a, la mesure de gigue de période montre une valeur efficace de gigue de période de 4.7 ps, et une valeur crête-crête de gigue de période de 41.81 ps.
- **Gigue cycle-à-cycle** - La gigue cycle-à-cycle, donnée sous forme d'une valeur efficace, mesure la variation de période d'horloge (écart-type) entre deux cycles d'horloge consécutifs quelconques sur un échantillon de 1000 cycles d'horloge. En outre, la valeur crête-crête de la gigue cycle-à-cycle mesure la différence entre la variation minimum de période d'horloge et la variation maximum de période d'horloge entre deux cycles d'horloge consécutifs quelconques, sur un échantillon de 1000 cycles d'horloge. (Figure 2b) La mesure de gigue cycle-à-cycle sert à déterminer la gigue à haute fréquence et sa valeur doit être aussi faible que possible pour réduire au minimum l'impact sur les marges de synchronisation du système. En Figure 2b, la valeur de gigue cycle-à-cycle se compose d'une valeur efficace de gigue cycle-à-cycle de 4.42 ps et d'une valeur crête à crête de gigue cycle-à-cycle de 37.03 ps.
- **Gigue TIE (Time Interval Error, ou erreur de période)** - La valeur de gigue TIE indique de combien dans le temps chaque front montant d'horloge se déplace par rapport au front correspondant d'une horloge idéale. (Figure 2c) La valeur efficace de gigue TIE indique l'écart type de l'erreur. La valeur TIE crête à crête correspond à la différence entre l'erreur maximum et l'erreur minimum. La gigue TIE est importante pour les PLL (Phase Lock Loop, ou boucle à verrouillage de phase) de réparation CDR (Clock and Data Recovery, ou réparation d'horloge et de données), pour indiquer si la PLL est capable ou non de suivre le train de données en entrée. Une grande valeur de gigue TIE indique que la PLL CDR est incapable de suivre correctement les variations du train de données entrant. En Figure 2c, la valeur efficace de gigue TIE de 3.29 ps se traduit par une valeur crête-crête de gigue TIE de 27.93 ps.



(Figure 2a)



(Figure 2b)



(Figure 2c)

Figure 2. Les trois formes principales de gigue qui apparaissent dans des signaux d'horloge sont (a) la gigue de période, (b) la gigue cycle-à-cycle, et (c) la gigue d'erreur de période (TIE). La gigue de période sert à déterminer la marge de synchronisation du système, tandis que la valeur de gigue cycle-à-cycle sert à déterminer la gigue à haute fréquence et comment cette gigue affecte les marges de synchronisation du système. Pour finir, la valeur de gigue TIE indique de combien chaque front montant d'horloge varie par rapport au front correspondant d'une horloge idéale. Les trois traces d'oscilloscope proviennent de mesures réalisées sur un circuit IDT VersaClock 5, 5P49V5901.

En plus de ces trois formes de gigue, le bruit de phase affecte également la qualité des signaux d'horloge.

Le bruit de phase est mesuré dans le domaine fréquence, et se calcule en prenant le rapport de la puissance du bruit sur la puissance du signal, et en le normalisant pour une bande passante 1 Hz avec un certain offset par rapport au signal porteur. La gigue de phase est mesurée en intégrant le bruit de phase sur différents décalages de fréquence du signal porteur. (Figure 3). Ici la valeur efficace de gigue de phase est de 0.610 ps sur la plage d'intégration 12 KHz à 20 MHz.

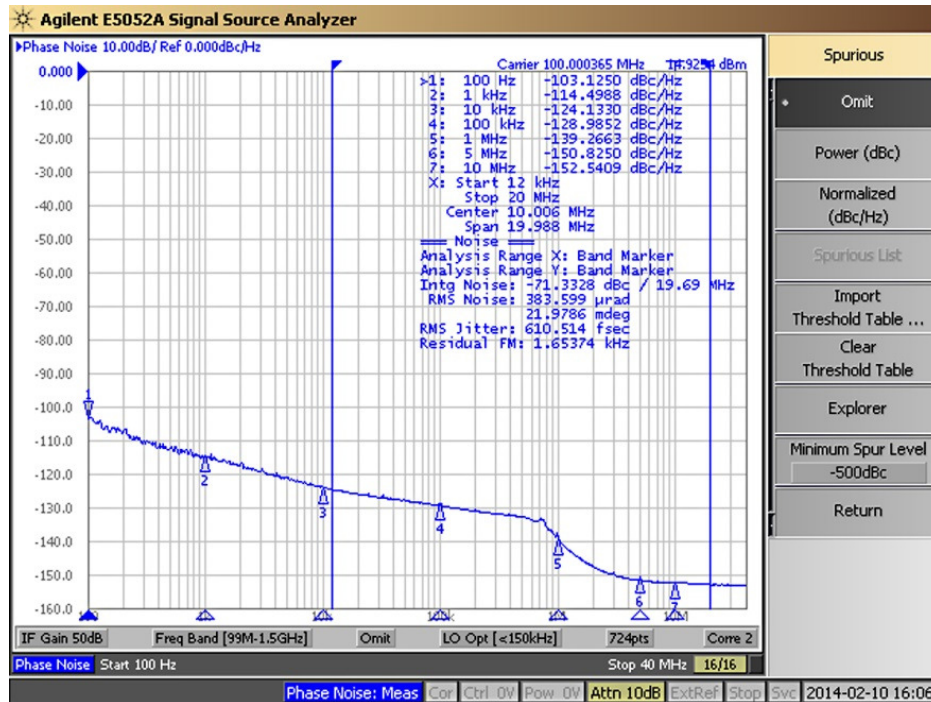


Figure 3. Cette courbe de bruit de phase mesure le bruit dans le domaine fréquence, qui se calcule en prenant le rapport de la puissance du bruit sur la puissance du signal, et en le normalisant pour une bande passante 1 Hz avec un certain offset par rapport au signal porteur.

La gigue de phase correspond à la quantité d'énergie présente dans les différents décalages de fréquence du signal porteur, obtenue en intégrant la surface sous la courbe de bruit de phase. Les interfaces réseau SONET, par exemple, utilisent un décalage de fréquence de 12 kHz à 20 MHz du signal porteur, pour intégrer la surface sous la courbe de bruit de phase pour mesurer la gigue de phase. Les interfaces Fiber Channel utilisent un décalage de fréquence de 637 kHz à 10 MHz du signal porteur, pour intégrer la surface sous la courbe de bruit de phase pour mesurer la gigue de phase.

### Options d'implémentation système

Ainsi, lors de la conception pratique de la carte système contenant les différentes puces, les principales étapes à suivre correspondent au processus de décision suivant :

1. Déterminer combien de fréquences d'horloge différentes sont nécessaires
2. Évaluer et déterminer les marges de synchronisation des puces critiques de la carte
3. Vérifier les solutions de génération d'horloge proposées par les divers fournisseurs et les évaluer au niveau gigue, programmabilité, consommation, et autres facteurs nécessaires à la solution
4. Implanter le circuit imprimé avec une attention particulière aux chemins d'horloge pour éviter les interférences et les autres facteurs susceptibles d'impacter la qualité du signal d'horloge.
5. Programmer la puce d'horloge pour l'adapter à l'application système, en réglant les niveaux d'E/S, la fréquence, et les autres aspects.

Il existe plusieurs sources pour les générateurs d'horloge à sorties multiples, ainsi décider lequel utiliser exige une bonne analyse des caractéristiques de la puce et de l'intérêt que présentent ces caractéristiques pour l'application considérée. A titre d'exemple des dernières possibilités techniques, la première puce de la famille VersaClock 5 de générateurs d'horloge basse consommation programmables développés par IDT, l'IDT5P49V5901, offre les meilleures performances de gigue de sa catégorie (gigue de phase 0.7 ps efficace, typique) et une consommation inférieure à 100 mW sous 3.3V. (Figure 4) Ce faible niveau de gigue permet à ces puces de répondre aux exigences d'horloge PCIe Gen 1/2/3, USB 3.0, et Ethernet 1/10 Gbits.

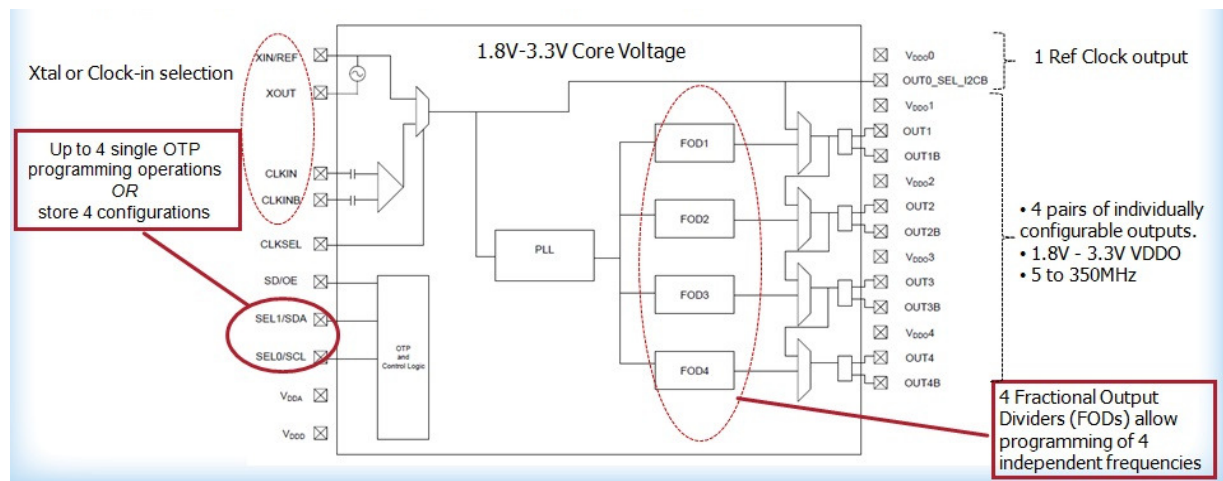


Figure 4. Capable de fournir quatre sorties horloge différentielles configurables individuellement, le générateur d'horloge VersaClock 5, 5P49V5901, offre les meilleures performances de gigue de sa catégorie, et peut fonctionner à des fréquences d'entrée ou de sortie jusqu'à 350 MHz. Une mémoire OTP (One Time Programmable, ou programmable une fois) embarquée permet d'enregistrer plusieurs configurations correspondant aux différents modes opérationnels.

La série VersaClock 5 est conçue pour les applications grand-public haut-de-gamme, ainsi que les applications réseau, industrielles, ou de transmission de données, avec des fréquences d'entrée ou de sortie jusqu'à 350 MHz. Ces puces sont très souples, offrant quatre sorties différentielles universelles indépendantes, capables de générer n'importe quelle fréquence de sortie, et configurables en mode LVPECL, LVDS, HCSL, ou comme huit sorties de CMOS LV. Une mémoire OTP embarquée permet aux concepteurs d'enregistrer plusieurs configurations (fréquence d'horloge, type d'E/S, et d'autres paramètres) pour chacune des quatre sorties indépendantes.

Deux broches "Select" autorisent la programmation et la sélection de quatre configurations différentes, au moyen des GPIO du processeur ou par amorçage (l'une des options de configuration consiste à programmer les données pour les quatre ports de sortie horloge). Les quatre options de configuration permettent de gérer différents modes opérationnels (fonctionnement normal, fonctionnement partiel, coupure d'alimentation partielle), différentes normes régionales (USA, Japon, Europe), ou le test de marge en production. La puce peut également être configurée pour utiliser l'une de ses deux adresses I<sup>2</sup>C pour permettre d'utiliser plusieurs dispositifs dans un même système.

Un port série I<sup>2</sup>C séparé sur la puce permet également aux concepteurs de charger de nouveaux paramètres dans les registres de configuration, soit pour outrepasser les configurations pré-enregistrées, soit pour exécuter une séquence de test. Les fréquences de chacune des sorties sont générées à partir d'une seule horloge ou d'un seul quartz de référence. En outre, une fonction manuelle sans "glitch" (oscillations de commutation parasites) permet de sélectionner l'une des entrées horloge en cours de fonctionnement normal. Les multiples fonctions programmables des puces telles que les VersaClock 5 d'IDT, peuvent s'avérer difficiles à configurer. Pour simplifier la tâche, IDT propose un outil appelé Timing Commander™ ; il s'agit d'une plate-forme logicielle permettant aux concepteurs de configurer ou de programmer les puces VersaClock® 5, grâce à une interface utilisateur graphique intuitive et très souple. (Figure 5)

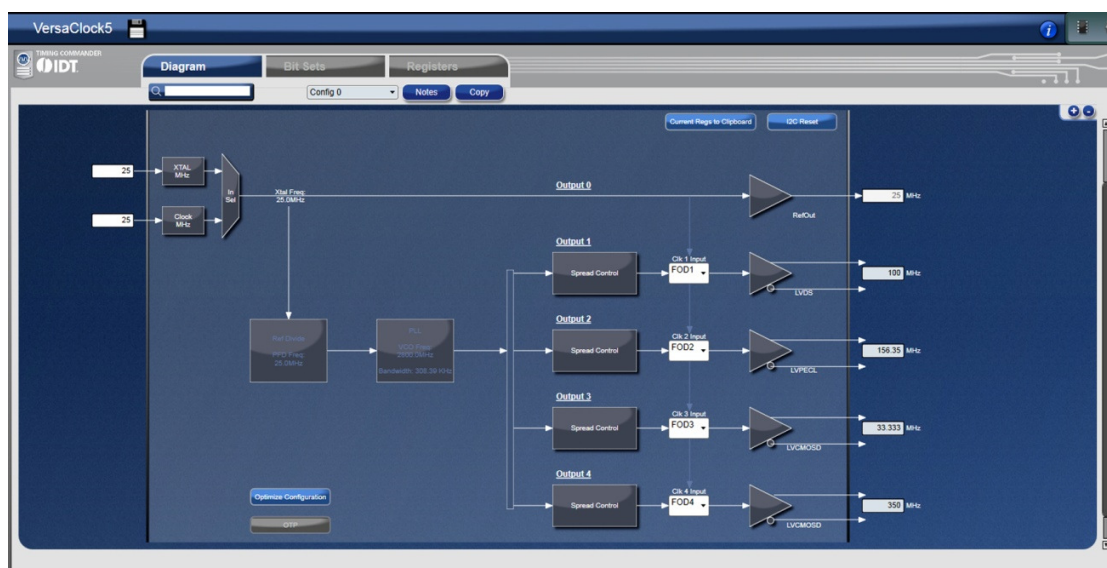


Figure 5 : Pour faciliter la programmation ou la configuration de la famille de générateurs d'horloge VersaClock, cette interface utilisateur graphique permet au concepteur de régler tous les paramètres et de configurer toutes les broches E/S.

En cas de conception de cartes système complexes avec plusieurs puces très intégrées, chacune avec ses besoins de synchronisation propres, bien comprendre ces différents besoins constitue un réel challenge pour les concepteurs. Les concepteurs doivent fournir des signaux d'horloge à chaque puce, qui répondent aux diverses contraintes de synchronisation, tel que le niveau de gigue ou le rapport de période d'horloge. En s'appuyant sur la dernière génération de générateurs d'horloge dotés de plusieurs sorties programmables à très faible gigue et configurables très simplement, les concepteurs peuvent facilement répondre au large éventail de besoins de synchronisation des systèmes actuels, tout en garantissant la tenue des performances en cas d'évolution.