

Un nouvel ASIC à faible offset avec cellules de Hall comme éléments détecteur pour capteurs de courant à boucle fermée

Auteur : Fabrice Salvi, LEM Switzerland S.A., Chemin des Aulx 8, CH-1228 Plan-les-Ouates, Suisse

Les capteurs de courant à boucle fermée utilisant des cellules à effet Hall sont habituellement utilisés pour repousser les limites encore rencontrées même avec les meilleurs capteurs de courant à boucle ouverte, en particulier en termes de rapport signal sur bruit (SNR), de temps de réponse et de dérive thermique de la sensibilité. Le seul point faible demeurant inhérent à l'architecture des capteurs à boucle fermée, reste l'offset lors de courant à mesurer nul. Ce document décrit un nouvel ASIC (*Application Specific Integrated Circuit: Circuit Intégré pour Application Spécifique*) avec cellules de Hall intégrées comme éléments détecteur, utilisant une technique décrite dans un brevet spécifique LEM, qui améliore de manière spectaculaire l'offset et la dérive d'offset par rapport aux circuits de la génération précédente. L'ASIC intègre également de nouvelles caractéristiques: séquence de démagnétisation au démarrage, détection des surintensités avec détermination de seuils et possibilité de programmation par les utilisateurs finaux.

La Figure 1 est une représentation de l'ASIC.

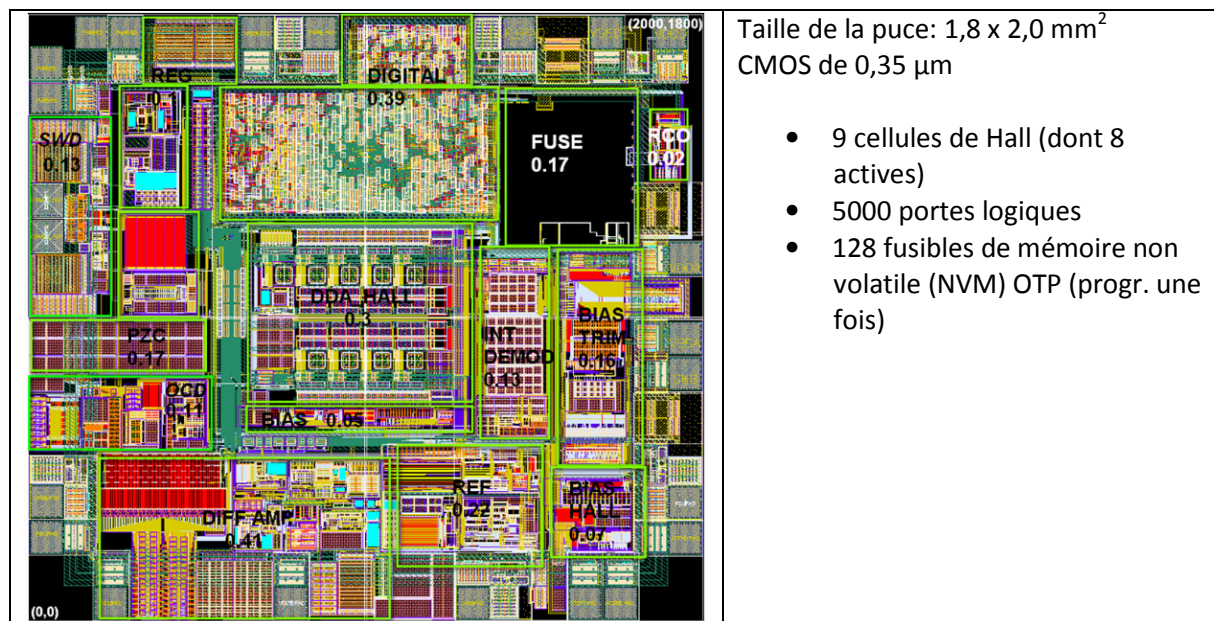


Figure 1 – Photo de l'ASIC

Introduction

La Figure 2 montre le principe de fonctionnement des capteurs de courant à boucle fermée utilisant la densité du champ magnétique induit par le courant à mesurer dans le noyau magnétique. Les cellules de Hall utilisées dans l'ASIC constituent l'élément de détection de la densité du champ magnétique. Cette construction possède l'avantage de fournir une isolation par rapport au courant à mesurer et de permettre une large bande passante (courant continu inclus). Les cellules de Hall sont

réalisées via un procédé CMOS standard et n'impliquent donc pas de coût supplémentaire pour l'ASIC.

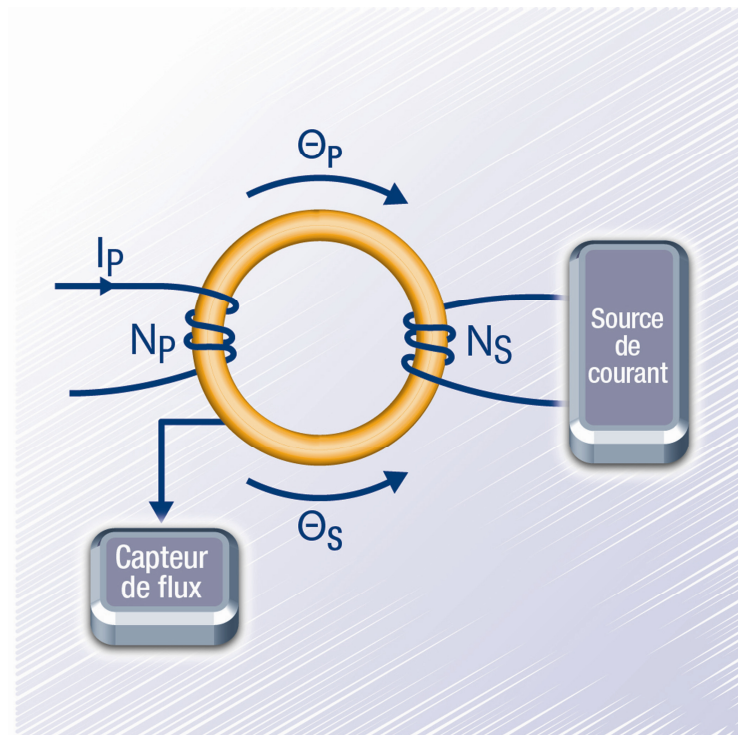


Figure 2 – Principe du capteur à boucle fermée

Pour les courants continus (DC) et les basses fréquences (jusqu'à quelques kHz), la densité du flux magnétique est détectée par les cellules à effet Hall, un courant I_s est envoyé dans l'enroulement secondaire et dans une résistance de mesure R_M , pour annuler le flux dans une configuration à boucle fermée. Pour les fréquences plus élevées, le capteur fonctionne comme un transformateur de courant passif, où I_s annule le flux en provenance de I_p par l'effet transformateur. I_s peut être la sortie, pour les capteurs à sortie courant, ou converti en une tension avec R_M , suivie d'un amplificateur de tension, pour les capteurs sortie tension (l'amplificateur n'est pas représenté sur la Figure 2).

La sensibilité exacte des cellules de Hall importe peu puisqu'elle est intégrée au gain de la boucle ouverte qui ne contribue pas à la précision globale du capteur sous réserve qu'il soit maintenu à un niveau assez élevé.

A des fréquences supérieures à quelques kHz, le courant secondaire vient directement de l'effet transformateur. Il permet un temps de réponse rapide à un échelon, qui n'est limité que par les éléments parasites de la bobine (fréquence de résonance) et par la largeur de bande de l'amplificateur de tension. En outre, le bruit émis par les cellules de Hall contribue seulement au bruit de sortie à des fréquences inférieures à l'effet transformateur, tout en maintenant une large plage de fréquence pour le signal. C'est là le principal intérêt de l'architecture à boucle fermée.

Si la tension de sortie du circuit de commande n'est pas assez élevée (5 V maximum) et/ou si le courant de sortie est trop faible (150 mA maximum), un circuit de commande externe de +/- 15 V peut être utilisé pour surmonter ces limitations. On utilise ce procédé surtout pour les mesures de courants élevés (supérieurs à 500 A), car le courant du bobinage secondaire peut facilement dépasser 1 A. Et c'est exactement de cette manière que cela fonctionne avec les capteurs de courant à effet Hall à boucle fermée LF xx10 utilisant cet ASIC.

Architecture de l'ASIC

La Figure 4 représente le schéma bloc de l'ASIC.

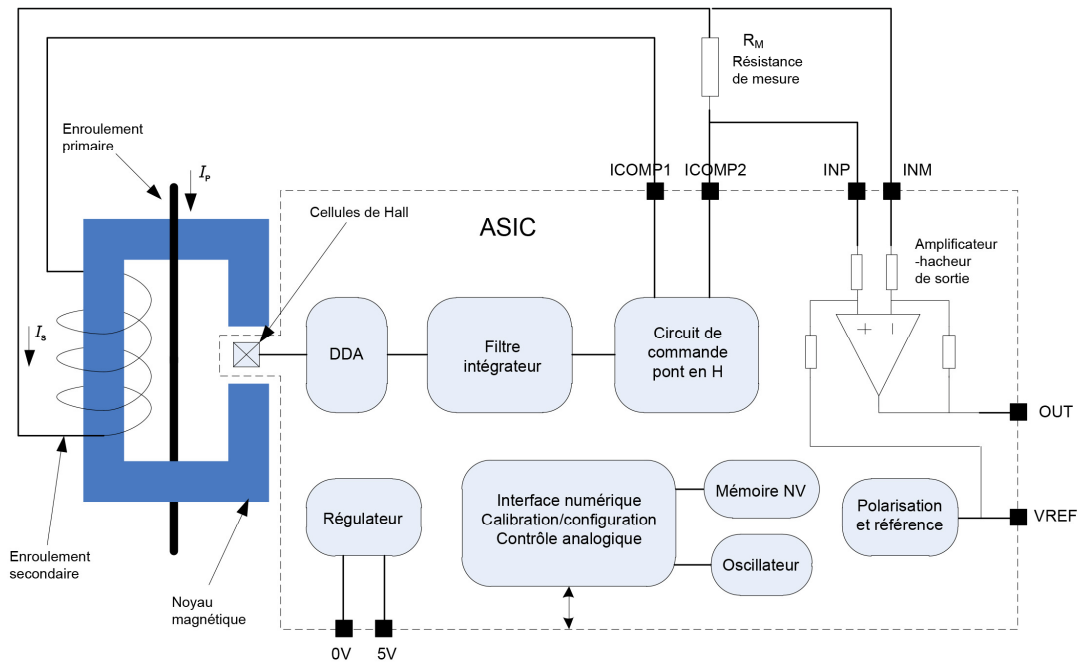


Figure 4 – Schéma bloc du circuit intégré

Huit cellules de Hall sont utilisées pour améliorer le faible rapport signal sur bruit (SNR) de l'élément détecteur d'un facteur de 8. Le signal augmente selon un facteur de 8 tandis que le bruit n'augmente que selon un facteur de 2.

La technique dynamique d'annulation (*spinning technique en Anglais*), dite de courant tournant à 1 MHz élimine l'offset des cellules de Hall de premier ordre et le bruit en $1/f$.

La figure 5 décrit le principe bien connu de la technique dynamique d'annulation. Cette technique permet la séparation du signal (AC) et de l'offset (DC) si l'offset est le même lors des deux phases successives.

Cependant, cette technique soulève deux problèmes :

- l'information du signal s'étend sur deux phases, ce qui implique un retard ;
- si le signal, après la technique dynamique d'annulation, est démodulé vers sa fréquence d'origine par un circuit utilisant des techniques d'échantillonnage, il existe un effet de crénelage sur le bruit.

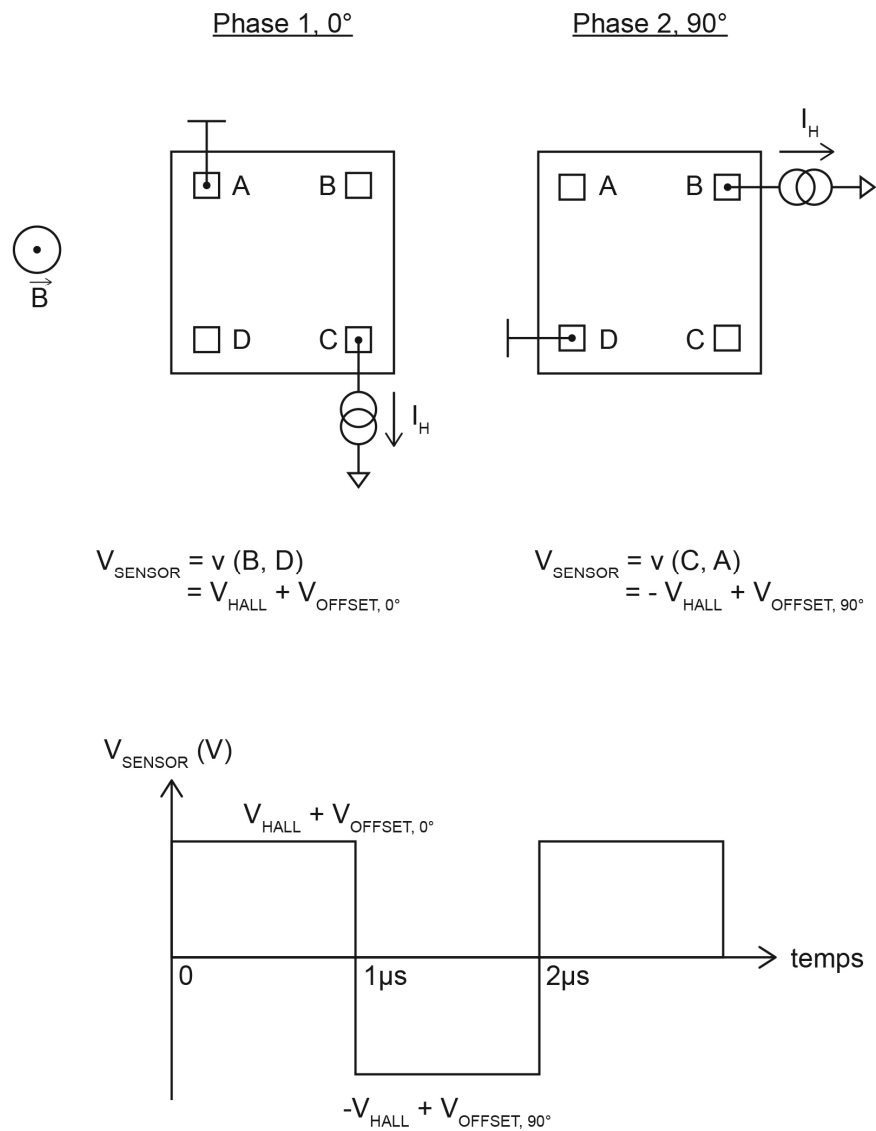


Figure 5 – Principe de la technique dynamique d'annulation (spinning)

La tension d'offset V_{OFFSET} est ensuite séparée du signal V_{HALL} par le démodulateur, qui agit comme un filtre passe-haut.

Un amplificateur différentiel de différence (DDA) amplifie la sortie des cellules de Hall modulée à la fréquence de « *spinning* » (1 MHz), avant le bloc de démodulation/amplificateur intégrateur à un seul étage, utilisant une architecture à condensateur à découpage. L'amplificateur intégrateur est le principal contributeur au gain à boucle ouverte DC.

Un circuit de commande classe AB (circuit pont en H) est utilisé pour fournir le courant secondaire jusqu'à 150 mA tout en assurant un passage à zéro en douceur. Son architecture est basée sur un pont en H de sorte que l'excursion totale puisse atteindre +/-5 V moins les chutes de tension sur les commutateurs MOS (résistance de 5 ohms environ) (voir fig. 6).

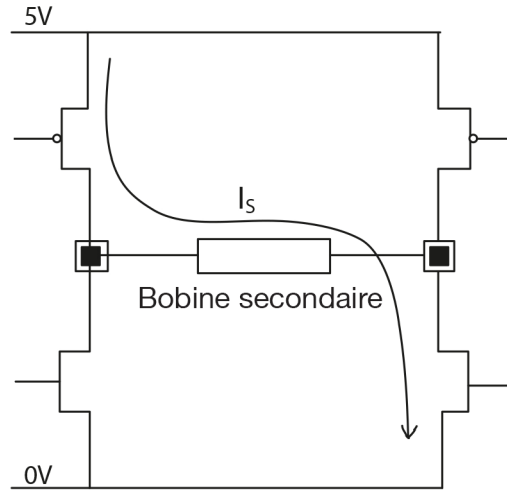


Figure 6 – Circuit de commande à pont en H

Une correction de phase est obligatoire pour stabiliser la boucle fermée car deux pôles dominants sont présents à basses fréquences: l'un dû à la bobine et l'autre à l'amplificateur intégrateur. Un compensateur pôles-zéros est par conséquent ajouté à la boucle.

Un amplificateur-hacheur stabilisé avec un gain fixe de 4 est utilisé pour offrir une sortie à faible impédance après la conversion courant-tension réalisée par la résistance de mesure R_M . Son offset, lié à la sortie, affiche un écart standard de 100 μV .

Afin d'être utilisable dans différentes configurations en boucle fermée, avec différentes bobines secondaires et entrefers (partiels ou complets), la constante de temps de l'amplificateur intégrateur et la fréquence des pôles-zéros sont configurables par LEM en usine.

La programmation de l'ASIC est réalisable par LEM et/ou par l'utilisateur final, via des fusibles. Évidemment, il s'agit de fusibles OTP, programmables une seule fois. Une interface standard UART est utilisée pour communiquer avec la puce pour trouver la configuration optimale avant de la sauvegarder, en faisant griller les fusibles associés. **Nouvelles caractéristiques par rapport à la génération antérieure d'ASIC basée sur la technologie à effet Hall (utilisée dans les précédents capteurs de courant à boucle fermée de la gamme « LTSR » lancée en 2003)**

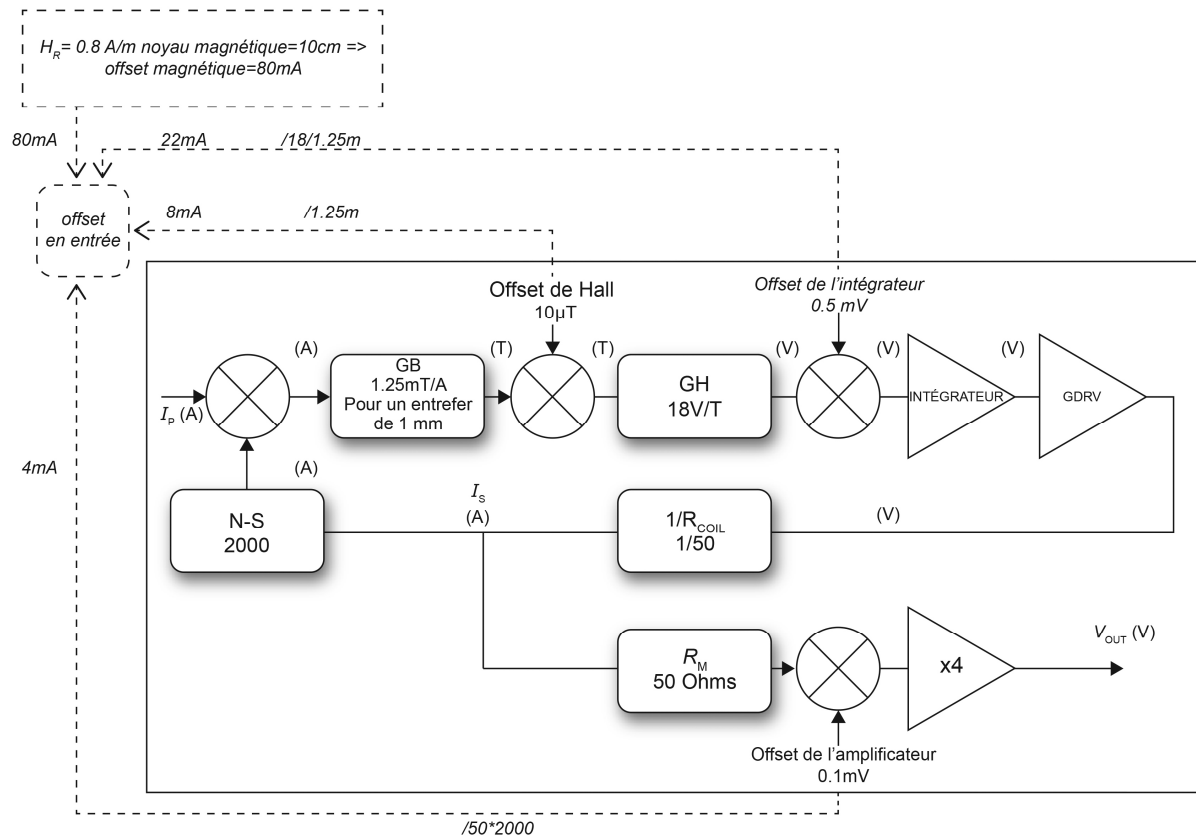
- Pont en H (excursion totale de ± 5 V) pour piloter la bobine secondaire. Le précédent ASIC ne pouvait commander que $\pm 2,1$ V.
- Courant de sortie de commande de 150 mA pour le bobinage secondaire. Le précédent ASIC était limité à 40 mA.
- Amplificateur différentiel de sortie de haute précision (classe AB): offset ultra faible (dérive standard de 100 μ V) et TRMC (Taux de Réjection de Mode Commun) élevé (70 dB min). L'offset de l'amplificateur de sortie du précédent ASIC était ajusté par pas de 8 mV.
- Configurable par LEM et/ou utilisateur final via une interface numérique avec un fil. Impossible avec l'ASIC précédent.
- Calibration par LEM via une interface numérique avec un fil: le seul réglage que LEM doive effectuer est celui du gain avec un pas de 1 ‰. Cela économise à LEM une résistance de mesure ultra précise R_M , bien que la dérive thermique de la résistance reste un contributeur de l'erreur en sensibilité. Impossible avec l'ASIC précédent.
- Seuil de détection de courant pour un signal de sortie d'alerte: la plage des seuils s'étend de I_{PN} à $5 \cdot I_{PN}$ avec un pas de $0,25 \cdot I_{PN}$. Non disponible sur l'ASIC précédent.
- Fonction de démagnétisation intégrée avec possibilité d'une séquence de démagnétisation au démarrage, pour supprimer l'offset initial dû à la magnétisation. Non disponible sur l'ASIC précédent.
- $U_C = 5$ V ± 5 % ou 3,3 V ± 5 %. Le précédent ASIC n'affichait qu'une seule tension d'alimentation +5 V.
- Numéro d'identification individuel: numéro de « wafer » (tranche de silicium), coordonnées XY sur le wafer pour une meilleure traçabilité, accès au registre des données. Non disponible sur la génération d'ASIC précédente.
- La tension de référence peut être en entrée ou en sortie. La tension de référence de sortie peut être de 0,5 V, 1,65 V ou 2,5 V. La plage de la tension de référence en entrée s'étend de 0,5 V à 2,75 V. La précision de la tension de référence en sortie à 25 °C est de ± 5 mV. Le précédent ASIC affichait une tension de référence en sortie de seulement 2,5 V avec un offset de ± 25 mV et une tension de référence autorisée en entrée de 1,9 à 2,7 V.

- La constante de temps de l'amplificateur intégrateur et la valeur de la fréquence de compensation des pôles-zéros sont programmées chez LEM avec des fusibles OTP programmables une seule fois. Sur les ASIC de la génération précédente, il fallait sélectionner la valeur souhaitée via un condensateur ou une résistance externes.

Performances en offset et brevet LEM associé

Par rapport à la génération précédente, l'offset et sa dérive thermique ont été améliorés. L'offset de la sortie courant, rapporté à l'entrée, est toujours inférieur à $30 \mu\text{T}$ avec une dérive thermique inférieure à $0,3 \mu\text{T/deg}$. Pour un capteur à sortie tension, l'offset de $0,1 \text{ mV}$ de l'amplificateur externe à la boucle contribue à l'offset total. Cet offset est quatre fois moins important que sur le précédent ASIC.

La Figure 7 montre la boucle fermée pour un signal DC avec les contributeurs d'offset avant compensation.



Notes:

- GB est la sensibilité magnétique due à l'entrefer. Elle est inversement proportionnelle à la largeur de l'entrefer.
- GH est le gain en sensibilité, y compris la sensibilité des cellules de Hall et le gain du DDA.
- N-S est le nombre de spires du bobinage secondaire.
- R_{COIL} est la résistance du bobinage secondaire.
- GDRV est le gain fixe du circuit de commande de sortie (= 3).

L'offset des cellules de Hall est très faible (quelques μT) grâce à une topologie propre à LEM protégée par un brevet LEM [2]. Ce qui est nouveau, c'est la fragmentation de l'élément de Hall en multiples blocs de Hall, répartis sur la surface de silicium et faciles à interconnecter.

Cette pratique améliore l'efficacité de la technique dynamique d'annulation (*spinning*).

Cette fragmentation permet en effet de scinder l'offset des cellules de Hall en différents faibles niveaux plus faciles à annuler via la technique dynamique d'annulation.

La technique dynamique d'annulation (« *spinning* ») utilisée annule les offsets dans un système linéaire. Cependant, les cellules de Hall ne peuvent pas être considérées comme linéaires, et donc un certain offset résiduel persiste. La non linéarité augmente en même temps que le niveau de la tension de polarisation. Une faible tension de polarisation des éléments de Hall minimise donc les offsets et les dérives d'offset.

Néanmoins, le fait de réduire la tension de polarisation dégrade le rapport signal sur bruit. Pour retrouver un bon rapport signal sur bruit, on utilise un réseau de cellules de Hall, dans lequel chaque cellule est polarisée faiblement.

La difficulté a été de réussir à intégrer ce réseau de cellules de Hall sans contraintes d'implantation tout en conservant la symétrie géométrique ; le format de l'amplificateur différentiel de différence (DDA) a grandement facilité ce défi.

La sortie du circuit est proportionnelle à la somme des entrées différentielles.

Le concept est décrit en détail dans la publication [3].

L'offset total du courant secondaire est compensé en usine et enregistré via une batterie de fusibles. L'offset de l'amplificateur de sortie ne nécessite pas de réglage.

Boîtier

L'ASIC est encapsulé dans un boîtier fin, de type QFN de 4 x 4 mm. L'épaisseur du boîtier est de 0,45 mm dans la limite max de 0,5 mm, de sorte qu'un faible entrefer puisse être utilisé pour réduire l'offset et améliorer le rapport signal sur bruit (SNR).

La Figure 8 montre le dessus et le dessous du boîtier de l'ASIC.

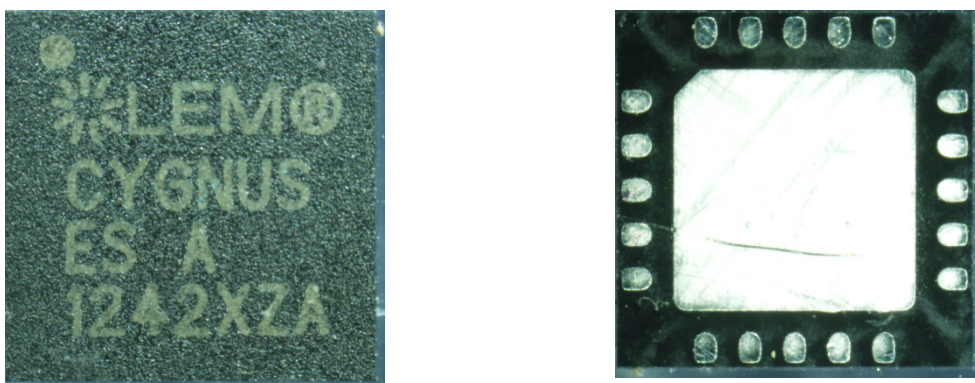


Figure 8 – Boîtier QFN de l'ASIC

La troisième ligne indique le niveau de qualification et la version LEM (A). ES pour *Engineering Sample* (prototype), IND pour *Industrial Grade* (qualification industrielle), AUT pour *Automotive Grade* (qualification automobile).

La quatrième ligne YYWWIZZ désigne le date code, où YY représente l'année, WW la semaine, I le numéro de l'unité de production et ZZ la ligne de production.

Niveau de qualité

La qualification de l'ASIC inclut tous les tests décrits dans la norme automobile AEC Q100: Inspection visuelle, décharges électrostatiques, déclenchements intempestifs, cycle en température, test de vieillissement 1000 heures à 125 °C avec 85 % d'humidité relative, etc.

Conclusion

LEM lance un nouvel ASIC, ou circuit intégré spécifique à une application, destiné aux capteurs de courant à boucle fermée, dont les performances sont accrues, en particulier l'offset et sa dérive thermique. En outre, ce nouvel ASIC intègre des caractéristiques supplémentaires, comme la fonction de démagnétisation et la détection des surintensités avec niveaux de seuils ajustables.

Pour améliorer encore plus les performances, il faudrait alors considérer des technologies plus coûteuses basées, par exemple, sur des capteurs de type Fluxgate, qui possèdent un meilleur rapport signal sur bruit que les cellules de Hall utilisées dans l'ASIC décrit dans le présent document.

Ce nouvel ASIC a été utilisé pour la première fois sur la gamme des nouveaux capteurs de courant LF xx10, précisément pour atteindre de nouveaux paliers en termes de précision, en particulier sur toute la plage de températures de fonctionnement, tirant profit de son excellente dérive d'offset. Cette nouvelle gamme de capteurs de courant à boucle fermée comprend des modèles pour 200, 300, 500, 1000 et 2000 A nominaux, une nouvelle gamme complète idéale pour les applications du monde de l'électronique de puissance, particulièrement exigeante en termes de performances.

Références

[1] Popovic R.S., *Hall Effect Devices* (Composants à effet Hall); Institute of Physics Publishing, 2004. ISBN 0 7503 0855 9

[2] Brevet WO/2012/001662, *Hall sensor system* (Système de capteur à effet Hall) Liaisons électroniques-mécanique LEM S.A., date de publication : 5 janvier 2012.

<http://patentscope.wipo.int/search/en/WO2012001662>

[3] Kejik P., Bourdelle, P.F., Reymond S., Salvi F., Farine P.A., "*Offset Compensation Based on Distributed Hall Cell Architecture*" (Compensation d'offset basée sur l'architecture distribuée des cellules de Hall), *Magnetics*, IEEE Transactions on vol.49, no.1, pp.105,108, Jan. 2013

<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=6392384>