Gérer l'alimentation de votre conception à base de FPGA ou de SoC; un guide du concepteur sur les étapes clés

Par John Dillon, Enpirion Power products business organization, Intel

Les FPGA deviennent de plus en plus un composant clé de nombreuses conceptions embarquées en raison de leur matrice reconfigurable dynamiquement et de leur capacité de traitement parallèle. Ces caractéristiques rendent ces semi-conducteurs idéaux à utiliser au sein des systèmes dans des domaines d'application tels que les réseaux de neurones convolutifs et les machines à apprentissage, les équipements de communication de radiodiffusion et les systèmes avancés d'assistance au conducteur (*Advanced Driver Assistance Systems*, ADAS). Susceptible de s'interfacer avec une multitude d'autres composants et sous-systèmes en plus de supporter des éléments tels que des émetteurs-récepteurs, des PLL et de la mémoire, un FPGA a généralement besoin de multiples tensions d'alimentation, chacune d'elles ayant ses propres exigences en termes de tension, de courant et de réponse transitoire. Par exemple, le cœur du FPGA est susceptible d'exiger de l'ordre d'une dizaine d'ampères, avec certaines conceptions nécessitant dorénavant jusqu'à 90 ampères à des tensions relativement faibles, par exemple 0,95 VDC, tandis que la mémoire, les interfaces et la logique classique auront des exigences comprises entre 1,5 et 3,3 VDC. Des considérations telles que l'immunité au bruit sont également importantes dans la conception de l'alimentation. Les émetteurs-récepteurs et les PLL en particulier doivent disposer de rails de puissance d'une grande pureté afin d'empêcher toute gigue de perturber le système.

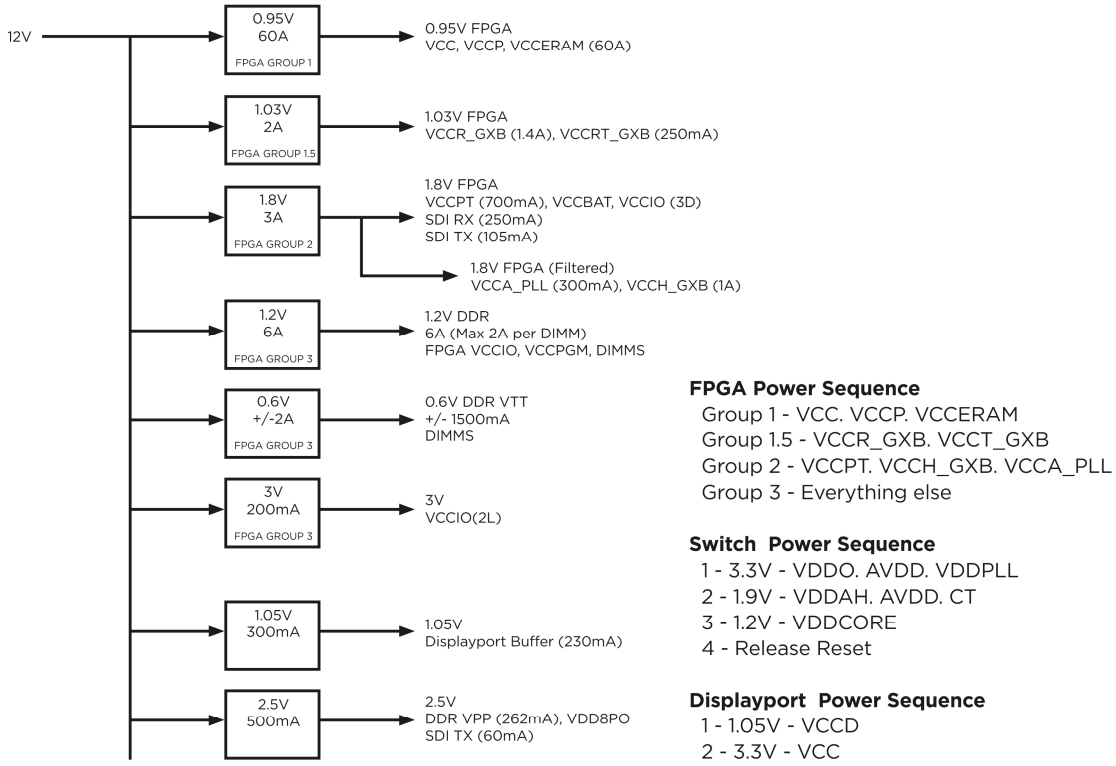


Figure 1 – Exemple d'estimateur de puissance précoce (*Early Power Estimator*, EPE) pour une conception basée sur FPGA (Source Enpirion)

Confronté à la gestion de l'alimentation d'une nouvelle conception à base de FPGA ou de SoC, il est recommandé à l'ingénieur d'ètablir une liste de tous les rails de tension nécessaires ainsi que d'autres paramètres clés critiques tels que le courant de crête. Un autre aspect important dans toute conception complexe est la nécessité de regrouper ou séquencer la mise sous tension et la mise hors tension de chacun des rails de puissance. Cette liste « arborescente », illustrée sur la figure 1 ci-dessus, montre un exemple de toutes les exigences de puissance. L'attention doit être portée non seulement sur les différentes tensions de sortie, mais aussi sur l'alimentation entrante. La présentation de l'ensemble de ces critères permet à l'ingénieur de commencer à architecturer la conception de la source d'alimentation.

Dans les applications actuelles contraintes en espace, un concepteur doit évaluer l'espace physique disponible et déterminer s'il y en a assez pour répondre à l'ensemble des spécifications et contraintes mécaniques. Par exemple, un ingénieur peut avoir besoin d'ajouter des ventilateurs pour un refroidissement par air forcé, un élément qui a un impact majeur sur le rendement de conversion de l'ensemble de l'alimentation. L'ingénieur doit également évaluer la surface disponible pour une source de tension

élevée et déterminer s'il est physiquement possible d'incorporer un composant de puissance distinct, ou s'il est préférable d’opter pour un module de régulateur de puissance compact optimisé au niveau encombrement. Les composants distincts ont longtemps été perçus comme une option potentiellement moins coûteuse, mais les modules de puissance tendent à devenir une alternative bien meilleure en terme de coût, d'espace et de performance. Cependant, disposer de l'espace requis pour un circuit distinct assurant une alimentation de 0,95 VDC/60 A, comme illustré sur la figure 1, peut tout simplement ne pas être possible.

L'ingénieur doit également se référer à la fiche technique ou à la note d'application du composant à FPGA pour les directives de connexion de broches spécifiques stipulées pour les rails de base et d'émetteur-récepteur. Cette information précise les caractéristiques concernant la tolérance de régulation de ligne, les spécifications de température et la réponse transitoire requise par chacun des rails de puissance du composant. Il est recommandé d’être vigilant concernant le choix des régulateurs requis pour le cœur FPGA et les émetteurs-récepteurs. En fonction de la tension d'alimentation principale, un convertisseur de bus intermédiaire peut ou non être nécessaire.

Dans le cas du composant Arria 10 GX d'Intel PSG, le guide de connexion des broches d'alimentation indique également comment l'alimentation du composant peut être fournie avec différentes options concernant le nombre de régulateurs à utiliser. La tension d'alimentation de base pour ce composant est de 0,9 VDC, avec une tolérance d'alimentation de +/- 30 mV. La figure 2 met en évidence le schéma d'alimentation d'un composant Arria 10 GX utilisant deux régulateurs. Notez que l’arborescence des rails de puissance doit également tenir compte du regroupement requis des mises sous/hors tension.

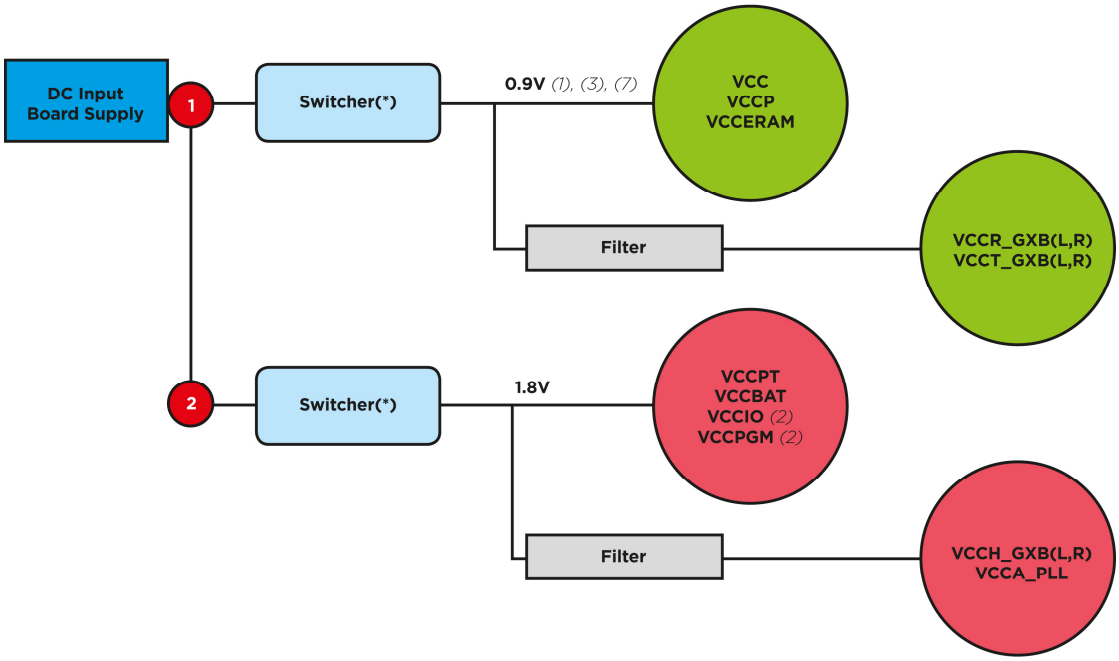


Figure 2 – Exemple de système d'alimentation utilisant deux régulateurs (Source Enpirion)

Dans l'exemple ci-dessus, la tolérance d'alimentation équivaut à 1,5% ou mieux, de sorte que le concepteur doit rechercher des modules de puissance adaptés afin d'y parvenir. Pour optimiser la flexibilité et le contrôle du changement de conversion de puissance, il est recommandé de sélectionner des modules de régulation pouvant être commandés numériquement, ce qui facilite la mise sous/hors tension ainsi que la surveillance globale.

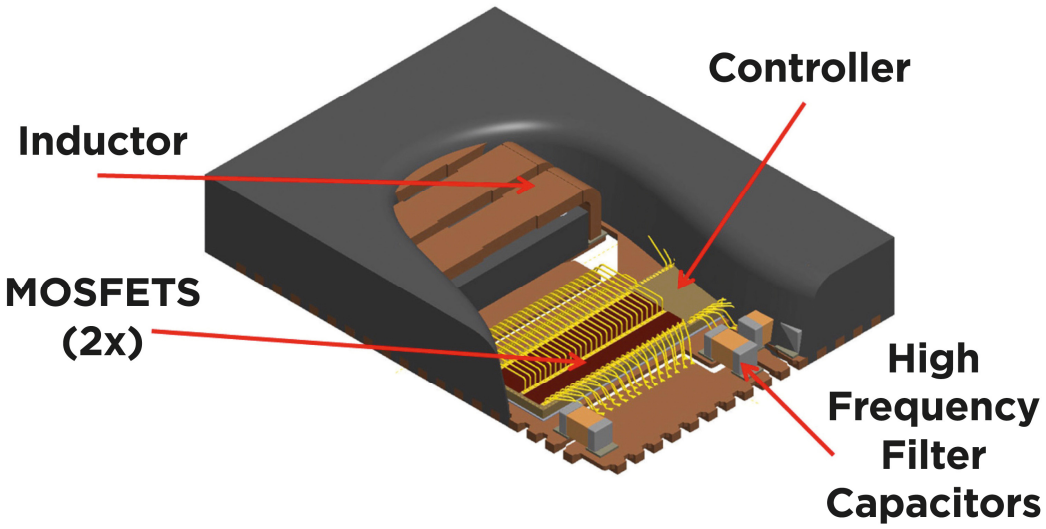


Figure 3 – Exemple de module de régulation – Enpirion EN63 (source Enpirion)

Un exemple de module régulateur est la famille EN63xx d'Enpirion. Cette famille comprend un convertisseur abaisseur de tension DC-DC à haute efficacité avec une inductance intégrée et offre une combinaison remarquable de densité de puissance et de fort rendement de conversion. Par exemple, l'EN6362QI est un convertisseur 6A qui intègre les commutateurs de puissance, l'inductance, la commande de transistor, le contrôleur et la compensation dans un petit boîtier QFN de 8 x 8 mm. Le taux de conversion permet à l'EN6362QI de fournir un courant continu de 6A sur toute la plage de température de fonctionnement industrielle.

Une fois que le cœur et les régulateurs d'émetteur-récepteur ont été choisis, le reste des régulateurs de l'arbre de puissance peut être choisi en fonction de tous les paramètres clés. Un résumé regroupant toutes les exigences de puissance doit être établi comme illustré à la figure 3. L'efficacité de chaque régulateur doit être calculée afin de déterminer si la puissance d'un convertisseur de bus intermédiaire est nécessaire.

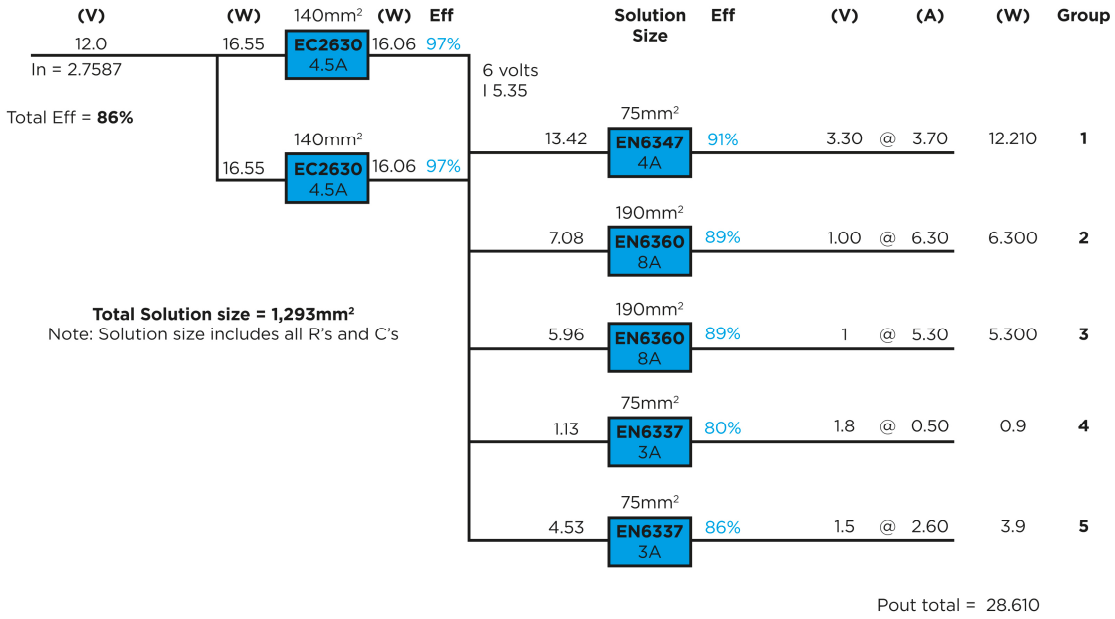


Figure 4 – Exemple d'une arborescence d'alimentation

A ce stade de la conception du système d'alimentation, l'attention doit se porter sur les exigences de séquençage. Comme mentionné ci-dessus, le guide d'application du FPGA établit clairement toutes les séquences spécifiques de mise sous tension et de mise hors tension qui doivent être respectées. L'exemple présenté sur la figure 5 montre la nécessité de séquencer trois groupes d'alimentation différents et les valeurs de tension auxquelles les groupes suivants doivent s'activer.

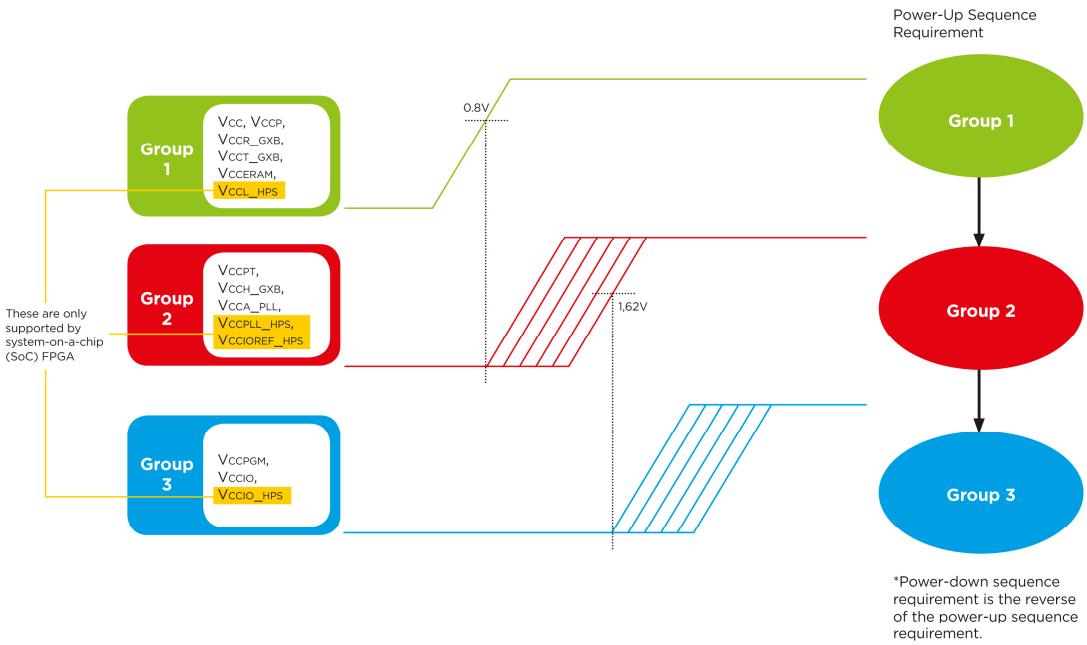


Figure 5 – Séquence de mise sous tension et de mise hors tension

Le processus de mise hors tension est l'inverse du processus de mise sous tension. Il exige que le concepteur note le temps nécessaire pour décharger les condensateurs dans l'arbre d'alimentation. Pour réaliser cette puissance de décharge, les transistors MOSFET doivent être évalués en tenant compte de la plus grande série de capacités dans le schéma d'alimentation. De toute évidence, il est essentiel que les MOSFET utilisés pour la charge soient capables de gérer la puissance transitoire se produisant pendant le processus de décharge et qu'ils puissent fonctionner avec des paramètres fiables ne pouvant pas provoquer de contrainte thermique excessive. Une façon de gérer la séquence d'activation/de mise hors tension pourrait être d'utiliser un composant à FPGA tel que le MAX10 d'Intel PSG. La figure 6 présente un schéma simple des circuits nécessaires pour réaliser ceci avec un groupe de quatre rails de puissance. Une alimentation auxiliaire sera nécessaire pour alimenter le processus de séquence du circuit d'arrêt MAX10 pendant au moins 100 ms après le début du processus de mise hors tension.

En utilisant les étapes décrites ci-dessus, un ingénieur est prêt à concevoir un schéma d'alimentation pour une conception à base de FPGA complexe.

+++Fin