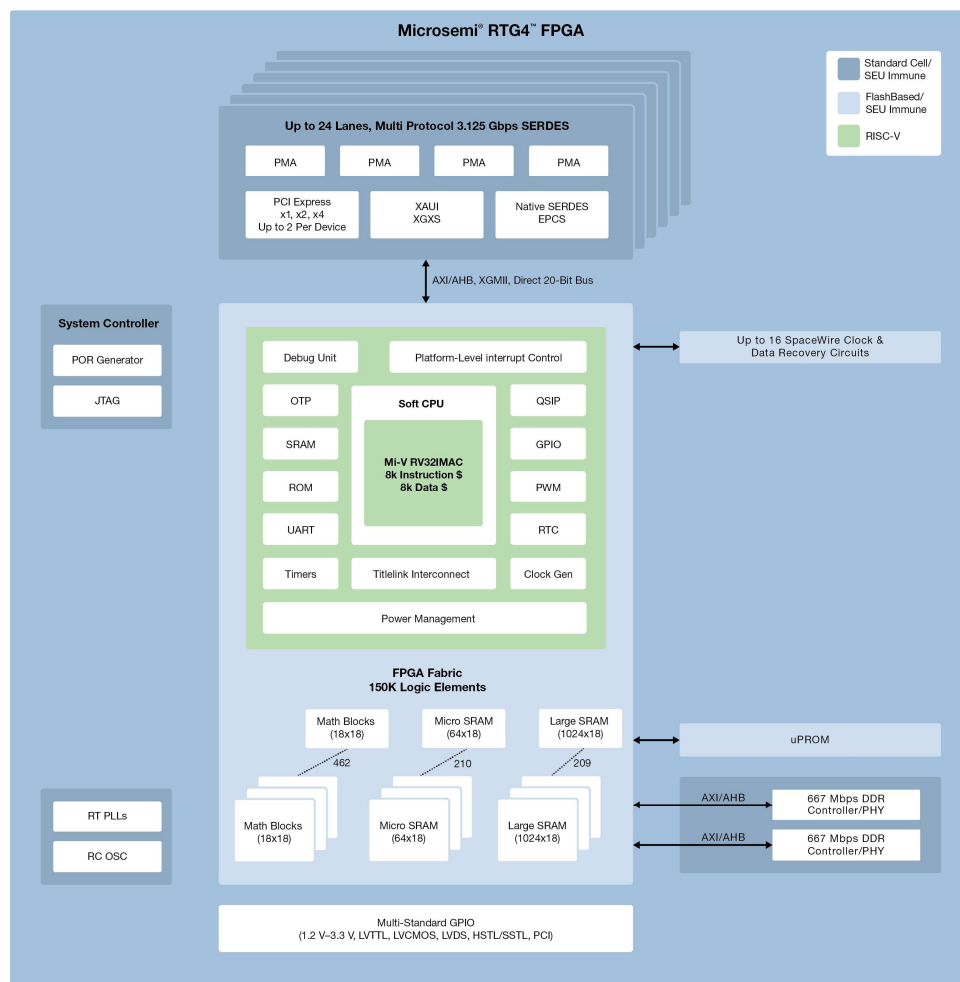


Les processeurs embarquant des blocs de propriété intellectuelle pour FPGA permettent l'optimisation du code HDL et améliorent l'intégrité de la chaîne d'approvisionnement

L'architecture de jeu d'instructions ouverte RISC-V peut aider les développeurs des secteurs de l'aérospatiale et de la défense à résoudre les défis posés en matière de consommation énergétique, de coûts matériels et d'empreinte sur la carte en permettant l'optimisation du jeu d'instructions, offrant la mise en œuvre la plus efficace pour chaque application spécifique.

par Ken O'Neill, directeur marketing de la branche Espace et Aviation Microsemi chez Microchip Technology.



La conception pour l'aérospatiale et la défense couvre des applications extrêmement diverses, allant des systèmes portatifs, portables, embarqués à bord de véhicules, maritimes et spatiaux jusqu'aux systèmes habités et inhabités, et concernent des applications tactiques comme stratégiques. Les systèmes destinés à l'aérospatiale et à la défense possèdent beaucoup de points communs, comme le haut degré de fiabilité indispensable en environnement sévère au cours de missions critiques, bien que chaque type de système pose ses propres défis.

Les développeurs peuvent se trouver face à des contraintes de puissance strictes pour les systèmes portables, ou à des contraintes thermiques drastiques pour les systèmes situés dans des équipements exposés à des températures élevées ou sans ventilation forcée. L'équipement final peut être soumis à de violents chocs ou vibrations, à des températures extrêmes, à des taux très élevés de moisissure ou d'humidité, ou bien à des niveaux de radiation exceptionnels.

Mis à part les facteurs environnementaux, les développeurs de systèmes pour l'aérospatiale et la défense doivent également résoudre les problèmes de la chaîne d'approvisionnement, comme celui de la baisse du nombre de fournisseurs désireux de réaliser les investissements nécessaires pour atteindre le haut degré de qualification et de certification requis pour de nombreux types de systèmes destinés à l'aérospatiale et à la défense. Ces dernières années, plusieurs programmes de défense nationaux ont également commencé à s'intéresser à la fiabilité des composants et à la propriété intellectuelle que renferment les systèmes qu'ils achètent.

FPGA

Les portes programmables *in situ* (ou FPGA, pour *Field Programmable Gate Arrays*) offrent aux développeurs des plateformes flexibles pour l'intégration logique, qui peuvent être utilisées pour l'ensemble des systèmes de l'aérospatiale et de la défense, résolvant les problèmes indiqués ci-dessus. De nombreux systèmes du secteur de la défense s'appuient sur des FPGA pour le traitement du signal à haute vitesse, l'accélération matérielle, les extensions d'E/S et le traitement embarqué.

L'approche la plus flexible et la plus adaptable pour le traitement embarqué sur les FPGA utilise des cœurs de processeurs « soft » embarquant des blocs de propriété intellectuelle (PI). L'avantage de l'utilisation des cœurs de propriété intellectuelle pour mettre en œuvre un microprocesseur dans un FPGA est son haut degré de flexibilité, par rapport à un processeur matériel, qui doit être configuré en permanence et ne peut être modifié par le développeur.

Autre avantage des cœurs de processeur PI : la disponibilité du code HDL (langage de description du matériel) pour le processeur, ce qui permet au développeur ou à d'autres tiers d'inspecter les blocs de PI pour s'assurer qu'ils ne contiennent que la logique nécessaire pour réaliser la fonction souhaitée, ni plus ni moins. Il s'agit d'un précepte fondamental tant pour la garantie du système, telle qu'on en trouve sur les applications d'aviation commerciale, que pour sa fiabilité, telle qu'on la trouve sur certaines applications de la défense. Cependant, une telle flexibilité a également un prix, car la plupart des fournisseurs de PI de microprocesseurs

facturent des prix très élevés pour fournir les versions HDL de leurs blocs de PI, et n'autorisent presque jamais les modifications de la PI à des fins d'optimisation.

L'émergence de la nouvelle architecture ISA ouverte RISC-V pour les microprocesseurs a apporté une plus grande liberté aux développeurs, leur laissant plus de latitude pour optimiser la micro-architecture afin qu'elle réponde au mieux aux besoins de leur programme de développement. Elle permet également aux développeurs d'inspecter totalement le code HDL dans le cadre de la garantie et la fiabilité du système, sans avoir à être lourdement facturés par les fournisseurs de blocs PI.

L'architecture RISC-V est un jeu d'instruction ouvert qui est disponible sous licence DSB (*Berkeley Software Distribution*). Les développeurs peuvent utiliser ou créer tout bloc de PI qui met en œuvre un jeu d'instructions RISC-V, sans payer aucune redevance ni aucun droit de licence pour l'utilisation du jeu d'instructions. Certaines extensions standard du jeu d'instructions sont figées, ce qui signifie que tout logiciel écrit ultérieurement pourra utiliser ces extensions standard telles qu'elles existent à ce jour.

Comme le jeu d'instructions est ouvert et qu'il y a beaucoup d'espace libre pour le code, les développeurs peuvent choisir d'étendre le jeu d'instructions pour correspondre aux besoins précis de leur propre système, à l'aide de leurs propres instructions personnalisées. Par exemple, si une séquence d'instructions particulière se répète très fréquemment dans le code en cours de création pour une application spécifique, le développeur peut choisir de créer une nouvelle instruction personnalisée pour mettre en œuvre une séquence utilisée fréquemment.

Le développeur peut créer de la logique additionnelle pour les blocs PI du microprocesseur pour mettre en œuvre la nouvelle instruction rapidement et de manière efficace. Les performances peuvent ainsi être augmentées significativement et l'espace de code pour le code exécutable réduit. Avant l'avènement du jeu d'instructions RISC-V, ce type de modifications de la PI du processeur n'était accessible qu'aux organisations détentrices de licences architecturales, qui ont en général un coût prohibitif.

De nombreux programmes de défense exigent d'utiliser des composants électronique et des blocs PI embarqués issus de fournisseurs de confiance. Il existe très peu de produits qui respectent cette exigence. Avoir la possibilité d'inspecter les blocs de PI sous forme de code HDL se révèle très utile car cela permet aux développeurs, ou au client final, de s'assurer que la PI contient uniquement le code nécessaire pour mettre en œuvre la fonction souhaitée. Cela permet également de garantir au client final que la PI est sûre pour une utilisation dans des systèmes destinés à l'aérospatiale ou à la défense.

L'inspection du code HDL peut également permettre de valider les blocs de PI pour les applications critiques comme les systèmes de l'aviation commerciale, qui subissent des procédures rigoureuses de certification de navigabilité aérienne.

L'écosystème RISC-V est en pleine expansion. Avec son initiative Mi-V, Microsemi offre une suite d'outils complète et de ressources de développement mis au point en interne ainsi que par de nombreux tiers, visant à aider au développement de systèmes RISC-V. L'écosystème Mi-V vise à accélérer l'adoption de l'architecture de jeu d'instructions ISA RISC-V ainsi que de la famille de produits de processeurs embarquant des blocs de propriété intellectuelle de Microsemi.

Conclusion

L'architecture de jeu d'instructions RISC-V peut aider les développeurs des secteurs de l'aérospatiale et de la défense à résoudre les défis posés en matière de consommation énergétique, de coûts matériels et d'empreinte sur la carte en permettant l'optimisation du jeu d'instructions, offrant la mise en œuvre la plus efficace pour chaque application spécifique. À plus long terme, les développeurs de systèmes pour l'aérospatiale et la défense peuvent respecter les exigences d'inspectabilité grâce à l'architecture de jeu d'instructions RISC-V.